

## DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets <sup>7</sup> : H01L 21/336, 21/28, 29/10, 29/423		A1	(11) Numéro de publication internationale: WO 00/42647
			(43) Date de publication internationale: 20 juillet 2000 (20.07.00)
(21) Numéro de la demande internationale: PCT/FR00/00058 (22) Date de dépôt international: 13 janvier 2000 (13.01.00) (30) Données relatives à la priorité: 99/00389 15 janvier 1999 (15.01.99) FR (71) Déposant (pour tous les Etats désignés sauf US): COMMISSARIAT A L'ENERGIE ATOMIQUE [FR/FR]; 31-33, rue de la Fédération, F-75752 Paris 15ème (FR). (72) Inventeurs; et (75) Inventeurs/Déposants (US seulement): DELEONIBUS, Simon [FR/FR]; 40, allée des Giteaux, La Chanteraie, F-38640 Claix (FR). GUEGAN, Georges [FR/FR]; 18, place du Village, F-38180 Seyssins (FR). CAILLAT, Christian [FR/FR]; 3, rue du Drac, F-38120 Saint Egrève (FR). COUDERT, Fabien [FR/FR]; 20, avenue Paul Eluard, F-38400 Saint Martin d'Hères (FR). (74) Mandataire: WEBER, Etienne; Brevatome, 3, rue du Docteur Lancereaux, F-75008 Paris (FR).		(81) Etats désignés: JP, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).  Publiée Avec rapport de recherche internationale. Avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues.	

(54) Title: MOS TRANSISTOR AND METHOD FOR MAKING SAME ON A SEMICONDUCTOR SUBSTRATE

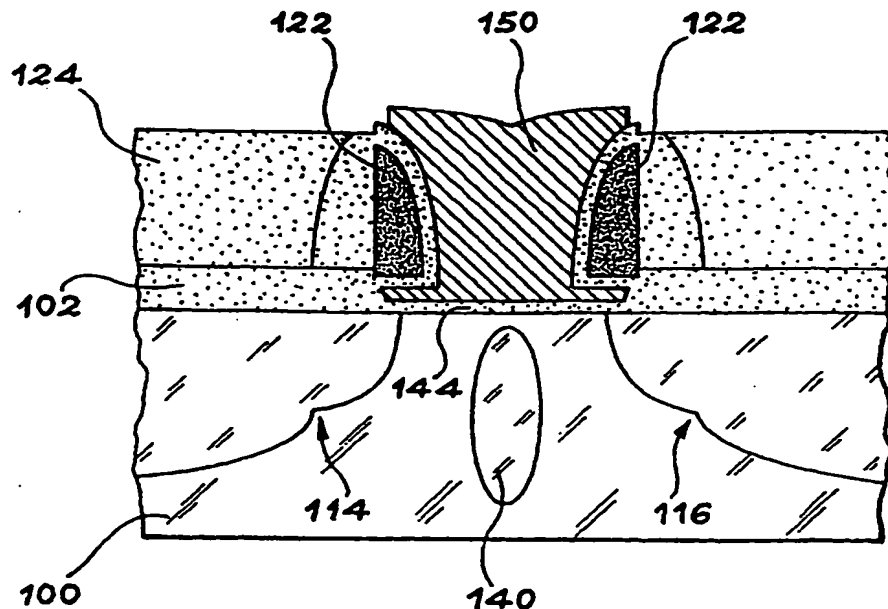
(54) Titre: TRANSISTOR MIS ET PROCEDE DE FABRICATION D'UN TEL TRANSISTOR SUR UN SUBSTRAT SEMI-CONDUCTEUR

## (57) Abstract

The invention concerns an MOS transistor comprising a central channel region (118), source (114) and drain (116) regions arranged on either side of the channel, and a gate provided substantially above the channel region. The invention is characterised in that the channel has a central doped part (140) located between the source and drain regions, and separated from said source and drain regions.

## (57) Abrégé

L'invention concerne un transistor MIS comprenant une région de canal (118), des régions de source (114) et de drain (116) disposées de part et d'autre du canal, et une grille (150) disposée sensiblement au-dessus de la région de canal. Conformément à l'invention, le canal présente une partie centrale (140) dopée, située entre les régions de source et de drain, et séparée desdites régions de source et de drain.



### UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brsil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

**TRANSISTOR MIS ET PROCEDE DE FABRICATION D'UN TEL  
TRANSISTOR SUR UN SUBSTRAT SEMI-CONDUCTEUR**

Domaine technique

5           La présente invention se rapporte à un transistor MIS à grille auto-alignée et à son procédé de fabrication. On entend par transistor MIS un transistor ayant une structure de type Métal-Isolant-Semiconducteur telle que, par exemple, celle des  
10 transistors MOS (Métal-Oxyde-Semiconducteur).

L'invention concerne plus particulièrement la fabrication, sur un substrat de silicium, de tels transistors, aptes à fonctionner dans le domaine des hyperfréquences.

15           L'invention trouve des applications en micro-électronique pour la fabrication de circuits hyperfréquence et/ou de puissance, par exemple pour la réalisation de circuits utilisables dans le domaine des télécommunications.

20

Etat de la technique antérieure

De façon connue, les composants et circuits de type hyperfréquence sont habituellement réalisés sur des substrats en arséniure de gallium (AsGa) ou sur des  
25 substrats de silicium (Si).

Pour raisons de coût, les circuits réalisés sur substrat d'arséniure de gallium ne sont généralement pas d'une grande complexité et ne présentent pas une densité d'intégration élevée. L'architecture de ces  
30 circuits n'est de ce fait pas optimisée du point de vue de leur compacité.

Le document (1) dont les références sont précisées à la fin de la présente description, concerne

un procédé de fabrication d'un transistor MIS à grille auto-alignée sur ses régions de source et de drain.

5 Ce procédé fait appel à une étape de mise en place d'une grille factice sacrificielle pour la définition des emplacements d'une région de source et, d'une région de drain, et de l'emplacement d'une grille dite définitive. La mise en oeuvre d'une grille factice permet d'affranchir la grille définitive des traitements thermiques liés à la formation des régions  
10 de source et de drain.

En outre, le procédé du document (1) autorise la fabrication d'un transistor compact, en réduisant notamment la garde des contacts par rapport aux interconnexions réalisées au niveau grille.

15 Dans une recherche constante de l'augmentation de la densité d'intégration des composants et des circuits, un objectif est de réduire la taille individuelle des transistors et plus particulièrement la taille de leur grille.

20 Lorsque la taille de la grille est réduite, se posent des problèmes d'ajustage de la tension de seuil des transistors et des problèmes de perçage entre drain et source.

25 Une augmentation de la densité de dopage de la région de canal située sous la grille, permet d'ajuster la tension de seuil et d'augmenter l'immunité au perçage entre les zones de source et de drain.

30 Cependant, l'augmentation de la densité de dopage sous la grille s'accompagne d'une augmentation des capacités parasites existant entre d'une part la source et le canal, et d'autre part, entre le drain et le canal ; et la mobilité des porteurs de charges s'en trouve réduite.

Lorsqu'on diminue la dimension de la grille, le dopage augmente dans le canal et il devient plus difficile d'optimiser les performances en fréquence des composants. Une des limitations de performance en  
5 fréquence est la capacité parasite source-canal ou drain-canal.

#### Exposé de l'invention

Un but de la présente invention est de proposer  
10 un transistor MIS et son procédé de fabrication ne présentant pas les limitations évoquées ci-dessus.

Un but est en particulier de proposer un tel transistor qui puisse être réalisé avec des dimensions particulièrement réduites tout en présentant une bonne  
15 immunité au perçage.

Un but est aussi de pouvoir ajuster la tension de seuil  $V_s$  du transistor à une valeur souhaitée, choisie en fonction de la tension d'alimentation.

Enfin, un but est de proposer un transistor  
20 avec de faibles capacités parasites et susceptible de fonctionner à des fréquences élevées.

Pour atteindre ces buts, l'invention a plus précisément pour objet un procédé de fabrication sur un substrat semi-conducteur d'un transistor MIS. Le  
25 procédé comprend les étapes successives suivantes :

- a) formation sur le substrat d'une couche, dite couche piédestal, et sur cette couche, formation d'une grille factice sacrificielle, la grille factice étant disposée au-dessus d'une région du substrat  
30 dite région de canal,
- b) formation dans le substrat de régions de source et de drain, auto-alignées sur la grille factice et délimitant au moins en partie la région de canal,

- c<sub>1</sub>) enrobage latéral de la grille factice avec au moins un matériau isolant électrique et élimination de la grille factice pour obtenir un puits au-dessus de la région de canal
- 5 c<sub>2</sub>) formation d'espaceurs sur des flancs du puits,
- c<sub>3</sub>) dopage d'une partie de la région de canal par implantation ionique dans le puits en utilisant les espaceurs comme masque d'implantation,
- 10 d) formation dans le puits d'une grille, dite grille définitive, séparée du substrat par une couche d'isolant de grille.

Conformément à l'invention, la formation de la grille définitive est précédée par l'élimination d'au moins une partie de la couche piédestal située au fond

15 du puits et d'au moins une partie de la couche piédestal s'étendant sous les espaceurs des flancs du puits pour former dans cette couche au moins un évidement surplombant une partie des régions de source et de drain, la grille définitive s'étendant dans ledit

20 espacement.

Grâce aux espaceurs qui équipent les flancs du puits, et qui sont utilisés comme masque d'implantation le dopage du canal se limite à une partie centrale du canal sans atteindre les régions de source et de drain.

25 Cette caractéristique permet d'ajuster, en contrôlant la densité du dopage, la tension de seuil du transistor. Elle permet aussi d'augmenter l'immunité du transistor à un perçage drain-source, et surtout de réduire les capacités parasites entre le canal et les

30 régions de source et de drain.

Il convient de préciser que l'étape de dopage c<sub>3</sub> n'exclut pas l'utilisation d'un substrat qui est initialement dopé. Dans ce cas, l'opération de dopage

conduit simplement à l'augmentation de la concentration ou à la modification du type ou du profil de dopage dans la partie centrale du canal.

Par ailleurs, grâce à l'élimination partielle  
5 de la couche de piédestal sous les espaceurs, la grille vient s'étendre en partie au-dessus des régions de source et de drain. Lorsque les source et drain sont dopés de façon graduelle, c'est-à-dire respectivement avec une zone faiblement dopée tournée vers le canal et  
10 une zone plus fortement dopée tournée à l'opposé du canal, les bords de la grille s'étendent jusqu'au-dessus des zones faiblement dopées. Une telle architecture permet de réaliser un bon compromis entre la réduction de la résistance d'accès au canal et la  
15 réduction des capacités parasites source-canal et drain-canal.

L'extension du chevauchement de la grille avec les zones faiblement dopées peut être comprise, par exemple, entre 0 (lorsque le bord de la grille arrive à  
20 la limite d'une zone faiblement dopée) et la moitié de la largeur des zones faiblement dopées.

Selon un aspect particulier avantageux de l'invention, le procédé peut comporter en outre, avant l'achèvement de l'étape de dopage  $c_3$ , la formation  
25 d'une couche d'oxyde sur les espaceurs. Lorsque ces espaceurs formés sur les flancs du puits sont réalisés en un matériau pouvant être oxydé, la couche d'oxyde est formée de préférence par oxydation des espaceurs.

La couche d'oxyde a pour but non seulement  
30 d'augmenter l'épaisseur des espaceurs sur les flancs mais surtout de contrôler avec précision cette épaisseur de façon à définir une zone dopée très mince au centre du canal.

En effet, la distance libre entre les surfaces des espaceurs en regard conditionne l'extension de la zone de dopage dans le canal.

En contrôlant ainsi l'extension de cette zone, par l'oxydation des espaceurs, il est possible d'ajuster avec précision la tension de seuil  $V_s$  du transistor.

La tension  $V_s$  est choisie telle que  $V_s < V_a/3$  par exemple, où  $V_a$  est la tension d'alimentation du transistor.

Selon un autre aspect particulier, on peut former la grille factice sur une couche, dite couche piédestal, recouvrant la surface du substrat. On élimine alors au moins une partie de la couche piédestal située au fond du puits, avant la formation de ladite grille définitive.

Lors de l'élimination totale ou partielle de la couche de piédestal dans le puits, les espaceurs latéraux formés sur les flancs du puits ont également pour fonction de protéger ces flancs et d'éviter ainsi un élargissement du puits ; ce qui serait préjudiciable à l'augmentation de la compacité du transistor.

Comme indiqué précédemment, l'élimination de la couche de piédestal au fond du puits peut avantageusement comporter l'élimination d'au moins une partie de la couche piédestal s'étendant sous les espaceurs des flancs du puits pour former au moins un évidement surplombant une partie des régions de source et de drain. La grille définitive qui est finalement formée s'étend alors dans cet évidement.

Par ailleurs, le procédé de l'invention peut comporter, avant la formation de la grille définitive,



l'élimination de la couche piédestal au fond du puits et la mise en place d'une couche d'isolant de grille.

Dans la mesure où l'oxyde de grille mis en place au fond du puits présente une épaisseur plus  
5 faible que celle de l'oxyde de la couche piédestal, on obtient in fine, une grille présentant en coupe une forme de T renversé.

On peut observer que lorsque les espaceurs des flancs latéraux du puits sont oxydés, leur couche  
10 superficielle d'oxyde est également éliminée ou entamée lors de l'élimination (désoxydation) de la couche piédestal au fond du puits.

Ainsi, après cette étape, et avant la mise en place de la grille définitive, on peut former une  
15 nouvelle couche d'oxyde sur les espaceurs. Cette mesure permet d'ajuster ou d'exagérer la forme en T renversé de la grille.

L'invention a également pour objet un transistor MIS comprenant dans un substrat une région  
20 de canal, des régions de source et de drain disposées de part et d'autre du canal, et une grille disposée sensiblement au-dessus de la région de canal. Conformément à l'invention, le canal présente une  
25 partie centrale dopée entre les régions de source et de drain, et séparée desdites régions de source et de drain.

Dès lors que le canal peut être globalement dopé ou au contraire non intentionnellement dopé, on entend par partie centrale dopée une partie présentant  
30 un dopage de concentration supérieure à la concentration de dopage moyenne du canal.

Le dopage peut ainsi être ajusté, sous la grille.

En outre, cette partie centrale est considérée comme séparée des régions de source et de drain dans le sens qu'une zone moins dopée ou non intentionnellement dopée est respectivement située entre la partie  
5 centrale (dopée) et chacune des régions de sources et de drain.

Selon un autre aspect, la grille peut présenter en coupe une forme de T (renversé) avec une partie formant la barre horizontale du T tournée vers le canal  
10 et s'étendant partiellement au-dessus des régions de source et de drain.

D'autres caractéristiques et avantages de la présente invention ressortiront mieux de la description qui va suivre, en référence aux figures des dessins  
15 annexés. Cette description est donnée à titre purement illustratif et non limitatif.

#### Brève description des figures

- La figure 1 est une coupe schématique d'un substrat destiné à la formation d'un transistor MIS et illustre une première étape de fabrication d'une grille  
20 factice sacrificielle.

- La figure 2 illustre une étape d'implantation de régions de source et de drain dans le substrat de la  
25 figure 1.

- La figure 3 illustre une étape complémentaire d'implantation des régions de source et de drain.

- La figure 4 est une coupe schématique de la structure après enrobage puis élimination de la grille  
30 factice.

- La figure 5 montre en coupe la structure de la figure 4 préparée pour l'implantation d'une zone dopée entre les régions de source et de drain.

- La figure 6 montre en coupe, et à titre de variante, une autre possibilité de préparation de la structure pour l'implantation de la zone dopée.

5 - Les figures 7 et 8 montrent en coupe des étapes de préparation de la structure de la figure 6 pour la mise en place d'une grille définitive.

- La figure 9 montre, en coupe, la mise en place de la grille définitive.

10 - Les figures 10 et 11 montrent en coupe une variante de réalisation de la structure correspondant à la figure 4.

#### Description détaillée de modes de mise en oeuvre de l'invention

15 La figure 1 montre un substrat de silicium 100 dont la surface a été oxydée afin de former une couche 102 d'oxyde de silicium dite couche piédestal.

La couche piédestal 102 est recouverte d'une couche de silicium polycristallin ou amorphe 104 et  
20 d'une couche de nitrure de silicium 106, dans lesquelles doit être formée ultérieurement une grille factice. L'épaisseur de l'ensemble des couches de silicium 104 et de nitrure de silicium 106 est par exemple de l'ordre de 100 à 500 nm.

25 La référence 108 désigne un masque de gravure, tel que par exemple un masque de résine photosensible, qui est formé à la surface de la couche de nitrure de silicium 106.

Le masque de gravure 108 permet de fixer les  
30 dimensions et l'emplacement de la grille factice.

La grille factice 112 visible sur la figure 2, est formée par gravure sélective anisotrope des couches de nitrure de silicium 106 et de silicium 104, selon le

motif défini par le masque 108, avec arrêt sur la couche piédestal 102. Le masque de gravure 108 est ensuite éliminé.

La formation de la grille factice est suivie d'une première implantation d'ions à faible dose. Selon que le transistor que l'on souhaite réaliser est du type PMOS ou NMOS, les ions sont choisis de façon à réaliser des zones d'un type de conductivité p ou n. a titre d'exemple, lors de la première implantation, on implante des ions de bore avec une dose de  $10^{13}$  à  $10^{14}$  cm<sup>-2</sup> à une énergie de 3 à 25keV pour les PMOS. Dans le cas d'un transistor NMOS, on utilise du phosphore ou de l'arsenic dans la même gamme de dose et d'énergie.

Les régions implantées, repérées par les références 114 et 116 constituent respectivement des régions de drain et de source du transistor. La portion de substrat s'étendant entre les régions de source et de drain, et située sensiblement sous la grille factice, constitue la canal 118 du transistor.

Dans une réalisation particulière du transistor, la formation des régions de drain et de source peut, comme le montre la figure 3, être complétée par une deuxième implantation, à plus forte dose, d'ions du même type de conductivité que ceux de la première implantation.

Préalablement à cette deuxième implantation, la grille factice 112 est équipée d'espaceurs latéraux 120.

Ces espaceurs sont formés par un dépôt conforme d'une couche d'oxyde de silicium puis par gravure anisotrope de cette couche de façon à préserver les espaceurs latéraux sur les flancs de la grille factice.

Les zones de source et de drain obtenus au terme de la deuxième implantation présentent des premières parties 114a, 116a de plus forte concentration et des deuxièmes parties 114b, 116b, sous la forme d'extensions dépassant des premières parties en direction du canal, et présentant une plus faible concentration d'impuretés dopantes.

La figure 4 montre la formation d'une couche d'enrobage 124 de la grille factice.

La couche d'enrobage 124 peut être formée par un dépôt d'une ou de plusieurs couches de matériau choisis, par exemple, parmi l'oxyde de silicium dopé, l'oxyde de silicium non intentionnellement dopé et le verre borophosphosilicate (BPSG).

La couche d'enrobage est ensuite aplanie et polie (planarisée) avec arrêt sur la couche de nitrure de silicium de la grille factice (non visible sur la figure 4).

Après la planarisation, la grille factice est éliminée de sorte que seuls demeurent à la surface de la couche piédestal les espaceurs latéraux 120 et la couche d'enrobage 124. Dans la suite du texte, les espaceurs latéraux 120 susmentionnés sont désignés par espaceurs "extérieurs".

L'élimination de la grille factice permet de former un puits 130 dont le fond est constitué par la couche piédestal 102 et dont les parois ou flancs sont formés par les espaceurs "extérieurs" 120.

Une description plus détaillée des étapes de procédé permettant d'aboutir à une structure conforme à la figure 4, de même que des variantes de réalisation possibles peuvent être trouvées dans le document (1) déjà mentionné.

Le procédé est poursuivi, comme le montre la figure 5, par la formation sur les flancs du puits 130 d'espaceurs latéraux 122 en nitrure de silicium.

Les espaceurs latéraux 122, dits espaceurs  
5 "intérieurs" sont formés par le dépôt d'une couche de nitrure de silicium qui recouvre l'ensemble de la structure, puis par gravure ionique réactive, isotrope et sélective de la couche de façon à ne préserver de  
10 cette couche qu'une partie recouvrant les flancs (verticaux). A titre de variante, les espaceurs peuvent aussi être réalisés en silicium amorphe ou polycristallin.

On observe que la couche piédestal 102, de même que la couche d'enrobage 124 sont légèrement entamées  
15 lors de cette gravure en raison d'une sélectivité de gravure de nitrure par rapport à l'oxyde qui n'est pas parfaite.

La formation des espaceurs latéraux intérieurs est suivie d'une ou plusieurs implantation(s)  
20 ionique(s) permettant d'ajuster la tension de seuil des transistors en utilisant la couche d'enrobage 124 et les espaceurs latéraux 122 comme masque d'implantation. Les ions implantés peuvent être des ions de bore ou d'indium pour un dopage de type P ou des ions phosphore  
25 ou d'arsenic pour un dopage de type N. Eventuellement, l'implantation peut être suivie d'un recuit. Un recuit peut aussi être effectué à l'occasion d'une étape d'oxydation (de grille) ultérieure du procédé. L'implantation a lieu à travers la couche piédestal.

30 Grâce aux espaceurs latéraux intérieurs, il est possible de former dans la région de canal une zone dopée 140 située sensiblement à mi-distance entre les régions de source et de drain et dont l'extension

latérale n'atteint pas lesdites régions de source et de drain.

Comme évoqué précédemment, on entend par zone dopée 140 une zone qui présente par rapport au reste du canal une plus forte concentration de dopage.

Les conditions d'implantation, c'est-à-dire notamment la dose et l'énergie, sont de préférence ajustées sur un profil souhaité de la zone dopée s'étendant, par exemple, de la surface vers le volume du substrat 100 avec un pic de concentration situé au centre du canal 118 à une profondeur correspondant à la moitié desdites deuxièmes parties 114b, 116b des régions de source et de drain.

A titre d'exemple, l'implantation est réalisée avec une dose de bore de 1 à  $5 \cdot 10^{13}$  et une énergie de 10 KeV pour une profondeur de jonction des deuxièmes parties 114b et 116b de l'ordre de 25 nm.

Grâce à l'implantation, on obtient pour le transistor une bonne tenue au perçage, en volume et en surface.

La fabrication du transistor peut être achevée par l'élimination de la couche piédestal 102 au fond du puits, puis par la mise en place d'une couche d'oxyde de grille et d'une grille.

Ces opérations sont décrite plus en détail avec les figures qui suivent et qui illustrent un perfectionnement avantageux de l'invention.

Selon un aspect de ce perfectionnement, on effectue, avant l'implantation, une oxydation superficielle du nitrure de silicium des espaceurs de façon à transformer une couche superficielle du nitrure de silicium en une couche d'oxyde de silicium. Cette

couche d'oxyde est repérée avec la référence 134 sur la figure 5.

L'oxydation a une fonction double. Elle permet, d'une part, de transformer une partie du nitrure des  
5 espaceurs en oxyde de façon à pouvoir graver ultérieurement cette partie, en même temps que l'oxyde de la couche piédestal. L'oxydation provoque d'autre part un gonflement des espaceurs (la densité de l'oxyde est inférieure à celle du nitrure). Ce gonflement est  
10 mis à profit pour réduire et ajuster finement l'espace restant entre les espaceurs.

L'ajustage de cet espace permet, au moment de l'implantation, de contrôler l'extension de la zone dopée.

15 La couche d'oxyde 134 est réalisée de préférence par voie d'oxydation froide ou par voie humide sulfo-oxygénée. Pour la mise en œuvre de l'oxydation froide, on peut se reporter, par exemple, au document (2) dont la référence est précisée à la fin  
20 de la description. Ces procédés d'oxydation permettent de travailler à des températures relativement faibles et donc d'éviter toute diffusion involontaire des zones de source et de drain.

Selon une variante, la couche d'oxyde peut  
25 également être formée par dépôt, c'est-à-dire par apport de matière.

Après la formation de la couche d'oxyde 134 sur les espaceurs, on procède à l'implantation de la zone dopée 140 de la façon décrite précédemment, en  
30 utilisant les espaceurs équipés de la couche d'oxyde comme masque d'implantation.



On observe sur la figure 6, comparativement à la figure 5, que l'extension latérale de la zone dopée 140 est plus faible.

La figure 7 montre une étape de désoxydation 5 lors de laquelle on élimine la couche piédestal 102 au fond du puits 130. La désoxydation peut avoir lieu dans une solution de FH dilué dans l'eau ou de FH tamponné ( $\text{NH}_4\text{F}$ ).

Lors de cette étape on élimine également une 10 partie de la couche piédestal située sous les espaceurs, pour former une cavité, ou évidemment, 142 s'étendant jusqu'au-dessus des zones de source et de drain 114, 116.

On observe qu'une partie au moins de la couche 15 d'oxyde 134 qui recouvre les espaceurs est également éliminée lors de la désoxydation. Cette caractéristique est particulièrement avantageuse dans la mesure où elle favorise la formation de la cavité 142.

La figure 8 montre la formation d'une couche 20 isolante de grille 144 qui recouvre le fond du puits 130 et qui s'étend dans la cavité 142.

La couche d'isolant de grille est par exemple une couche d'oxyde formée par oxydation ou par un procédé de dépôt chimique en phase vapeur (CVD). Ce 25 procédé (CVD) permet accessoirement de restaurer une partie de la couche d'oxyde 134 en formant une nouvelle couche d'oxyde sur les espaceurs intérieurs.

Selon une variante, on peut envisager de 30 n'éliminer qu'une partie de l'épaisseur de la couche de piédestal au fond du puits pour éviter la formation de la couche d'isolant de grille. Cette solution est cependant moins avantageuse car elle ne permet pas de contrôler finement l'épaisseur de la couche d'oxyde

restante, et ne favorise pas la réalisation de la cavité 142.

La figure 9 montre une étape lors de laquelle une grille définitive 150 est mise en place dans le puits 130.

Le matériau de grille est choisi en fonction notamment de la tension de seuil souhaitée pour le transistor, mais aussi pour ses propriétés de conduction. Le matériau de la grille assure en effet la conduction électrique entre la base de la grille en contact avec l'isolant de grille et la partie supérieure susceptible d'être mise en contact avec une ligne d'interconnexion non représentée.

Le matériau de grille est par exemple un métal tel que TiN, W, Ta, ou du silicium polycristallin, déposé par exemple par CVD.

Le matériau de grille s'étend dans la cavité 142 de sorte que la grille présente en coupe une forme de T renversé.

La partie supérieure de la grille, en raison de la forme caractéristique des espaceurs latéraux qui s'effilent en s'éloignant du substrat, présente également une forme évasée qui, en coupe, évoque un T.

Cette forme facilite la prise de connexion ultérieure sur la grille pour interconnecter le transistor avec d'autres composants. De plus, à la surface du transistor, c'est-à-dire au-dessus de la couche d'enrobage 124, le matériau de grille peut être mis en forme par polissage ou par gravure selon un motif souhaité. Le matériau de grille peut aussi être aplani par polissage jusque sur la couche d'enrobage 124.

La fabrication du transistor peut être achevée par la réalisation de prises de contact sur les régions de source et de drain, à travers la couche d'enrobage et à travers la couche piédestal. Ces dernières  
5 opérations sont bien connues en soi et ne sont pas décrites davantage ici.

A titre complémentaire, les figures 11 et 12 montrent une variante de l'étape du procédé, correspondant à la réalisation des espaceurs latéraux.

10 Dans cette variante, les espaceurs extérieurs 120 et intérieurs 122 sont tous réalisés en nitrure de silicium.

La figure 10 montre la structure telle qu'obtenue après élimination de la grille factice. A  
15 titre indicatif, les emplacements de la couche 104 de silicium et de la couche de nitrure de silicium 106 sont représentées en trait discontinu.

On observe au sommet des espaceurs extérieurs 120 un décrochement 121 de la couche d'enrobage 124.

20 Ce décrochement provient des effets combinés d'une gravure parasite de la couche d'enrobage lors de l'élimination (par gravure) de la grille factice et d'une gravure de la partie supérieure des espaceurs extérieurs (en nitrure) 120 lors de l'élimination de la  
25 couche de nitrure de silicium 106 de la couche factice. En effet, lors de l'élimination de cette couche, toutes les parties exposées en nitrure subissent une gravure.

La figure 11 montre la formation des espaceurs latéraux intérieurs 122.

30 Ceux-ci viennent s'adosser contre les espaceurs extérieurs 120 et contre le bord de la couche d'enrobage 124, à la hauteur du décrochement 121.

Les opérations subséquentes restent identiques à celles déjà décrites. Cette réalisation particulière permet d'accentuer la forme en T de la partie de la grille définitive qui sera formée finalement dans le puits.

Ainsi, en considérant également les étapes suivantes déjà décrites, la grille présente finalement en coupe une forme en double T (T et T renversé) encore appelé forme en I.

#### DOCUMENTS CITES

(1)

FR-A-2 757 312

(2)

"Sealing Silicon Nitride Removal in SILO Field Isolation for Submicron Technologies" de S. Deleonibus et coll.  
J. Electrochem. Soc., vol. 138, n°12, Décembre 1991, p. 3739-3742

**REVENDEICATIONS**

1. Procédé de fabrication sur un substrat semi-conducteur (100) d'un transistor MIS comprenant les étapes successives suivantes :

- 5 a) formation sur le substrat d'une couche (102), dite couche piédestal, et sur cette couche, formation d'une grille factice (112) sacrificielle, la grille factice étant disposée au-dessus d'une région du substrat dite région de canal (118),
- 10 b) formation dans le substrat de régions de source et de drain (114, 116), auto-alignées sur la grille factice et délimitant au moins en partie la région de canal,
- c<sub>1</sub>) enrobage latéral de la grille factice avec au moins  
15 un matériau isolant électrique et élimination de la grille factice pour obtenir un puits (130) au-dessus de la région de canal
- c<sub>2</sub>) formation d'espaceurs (122) sur des flancs du puits,
- c<sub>3</sub>) dopage d'une partie (140) de la région de canal par  
20 implantation ionique dans le puits en utilisant les espaceurs comme masque d'implantation,
- d) formation dans le puits d'une grille (150), dite grille définitive, séparée du substrat par une couche d'isolant de grille,
- 25 et dans lequel la formation de la grille définitive est précédée par l'élimination d'au moins une partie de la couche piédestal située au fond du puits et d'au moins une partie de la couche piédestal (102) s'étendant sous les espaceurs des flancs du puits pour former dans  
30 cette couche au moins un évidement (122) surplombant une partie des régions de source et de drain, la grille définitive s'étendant dans ledit espacement.

2. Procédé selon la revendication 1, dans lequel l'étape b) de formation des régions de drain et de source comporte successivement :

- 5 - une première implantation ionique de dopage en utilisant la grille factice (112) comme masque d'implantation,
- la formation d'espaceurs latéraux (120) sur les flancs de la grille factice,
- 10 - une deuxième implantation ionique de dopage en utilisant la grille factice équipée d'espaceurs comme masque d'implantation.

3. Procédé selon la revendication 1, dans lequel, avant l'achèvement de l'étape de dopage c<sub>3</sub>, on forme une couche d'oxyde (134) sur les espaceurs des  
15 flancs du puits.

4. Procédé selon la revendication 3, dans lequel on forme la couche d'oxyde (134) par oxydation à froid des flancs du puits des espaceurs.

5. Procédé selon la revendication 2, dans  
20 lequel on forme les espaceurs latéraux (120) sur la grille factice et les espaceurs (142) sur les flancs du puits en un même matériau.

6. Procédé selon la revendication 1, comprenant avant la formation de la grille définitive,  
25 l'élimination de la couche piédestal au fond du puits et la mise en place d'une couche (144) d'isolant de grille.

7. Procédé selon la revendication 1, dans lequel après l'élimination de ladite partie de la  
30 couche piédestal et avant la mise en place de la grille définitive on forme une nouvelle couche d'oxyde sur les espaceurs des flancs du puits.

8. Transistor MIS comprenant une région de canal (118), des régions de source (114) et de drain (116) disposées de part et d'autre du canal, et une grille (150) disposée sensiblement au-dessus de la région de canal, caractérisé en ce que :

- le canal présente une partie centrale (140) dopée, située entre les régions de source et de drain, et séparée desdites régions de source et de drain et en ce que
- 10 - la grille (150) présente en coupe une forme de T (renversé) avec une partie formant la barre horizontale du T tournée vers le canal et s'étendant partiellement au-dessus des régions de source et de drain.

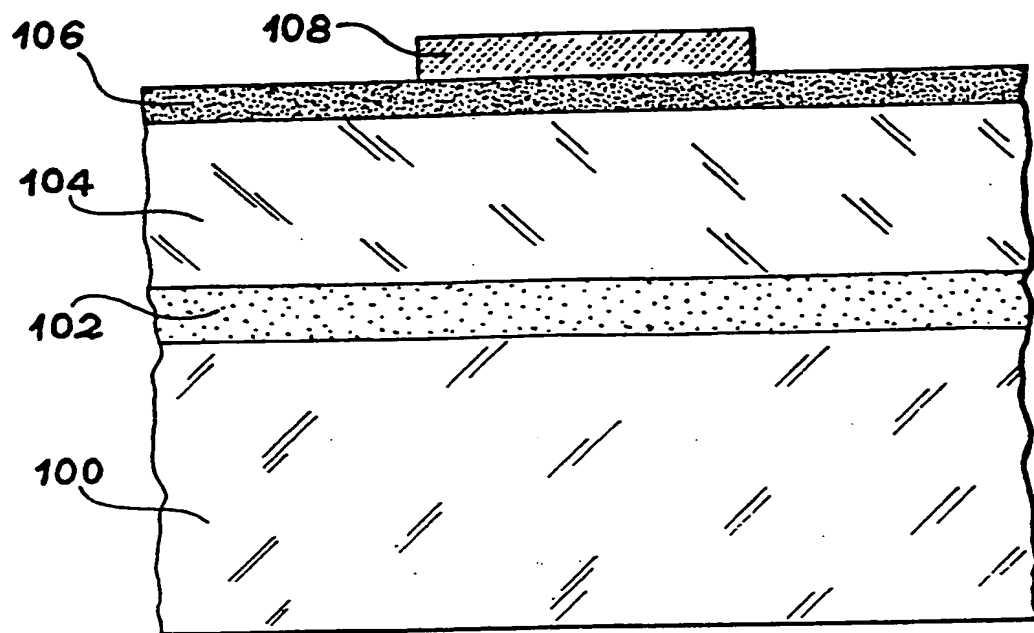


FIG. 1

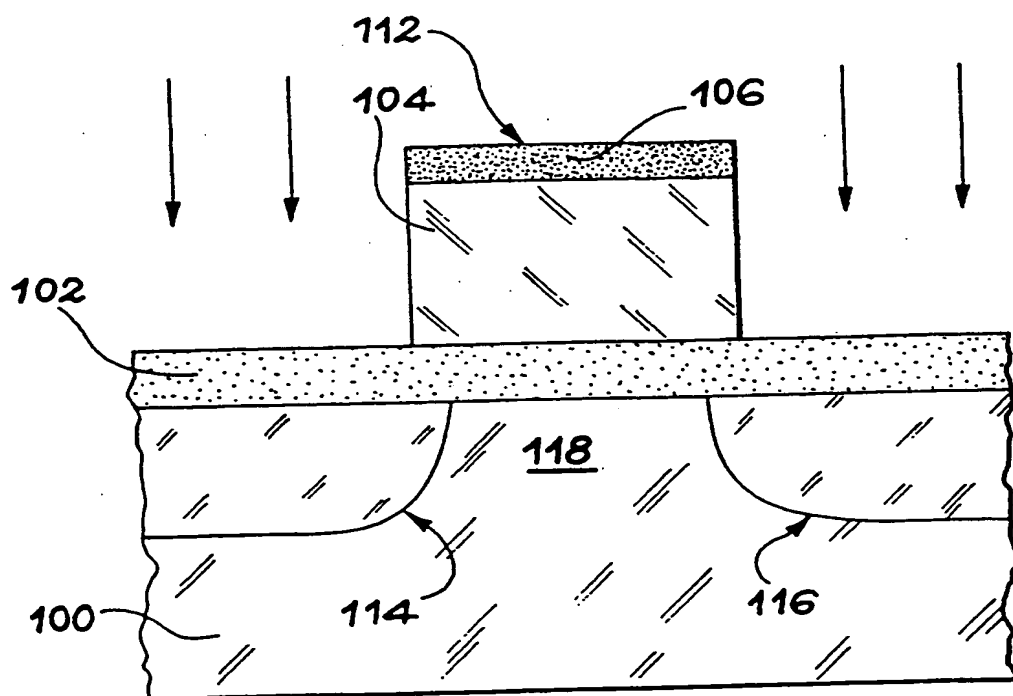


FIG. 2



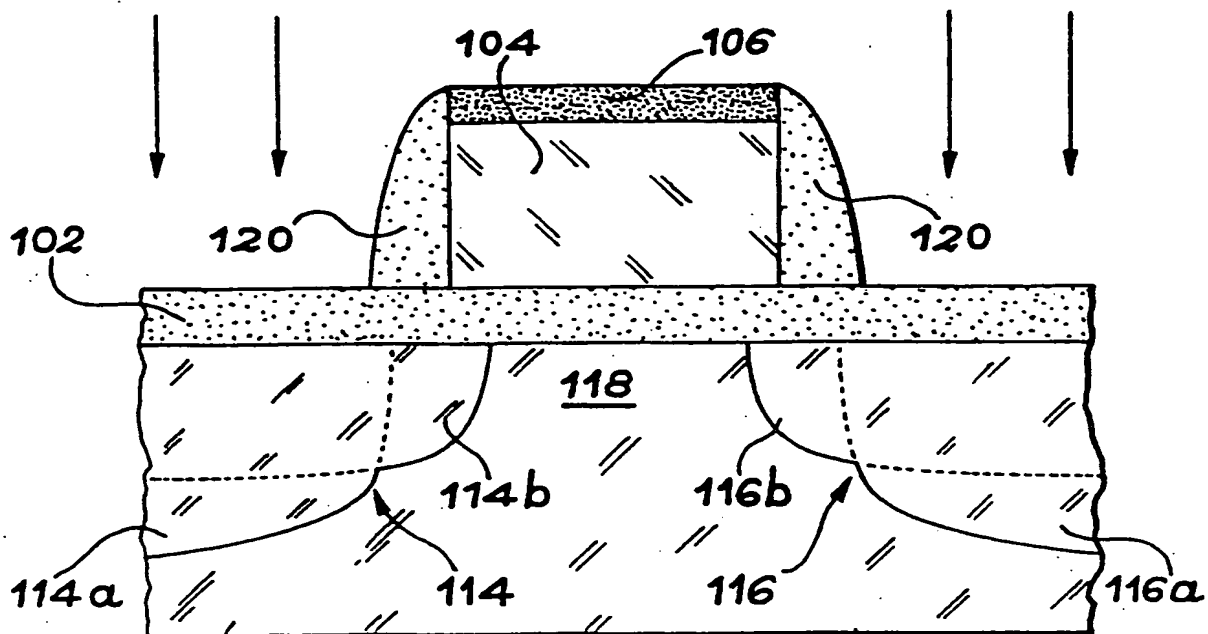


FIG. 3

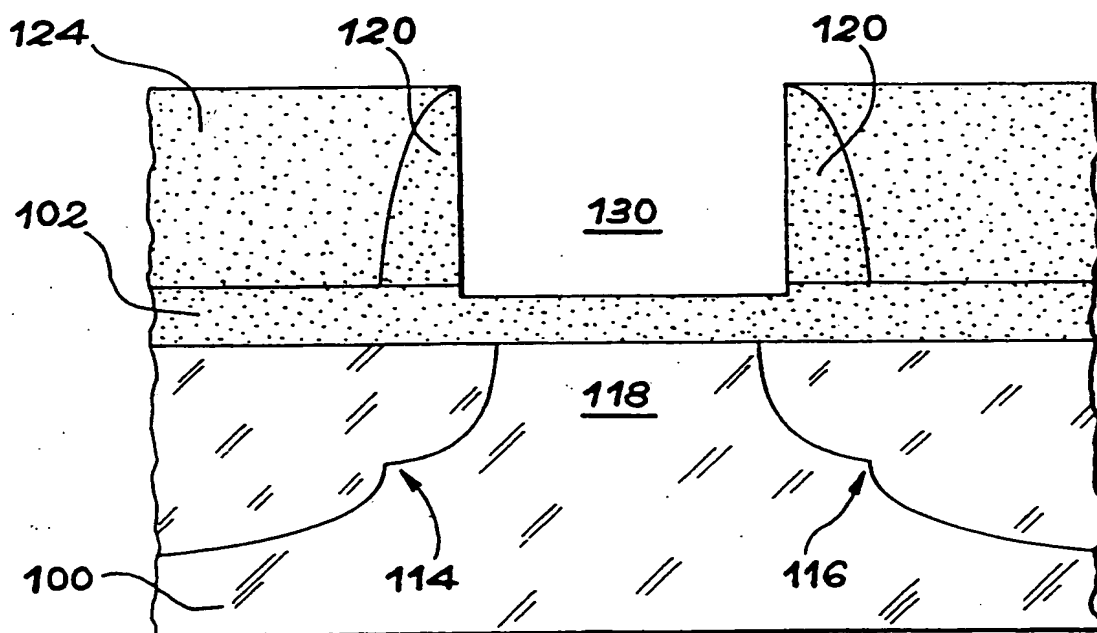


FIG. 4

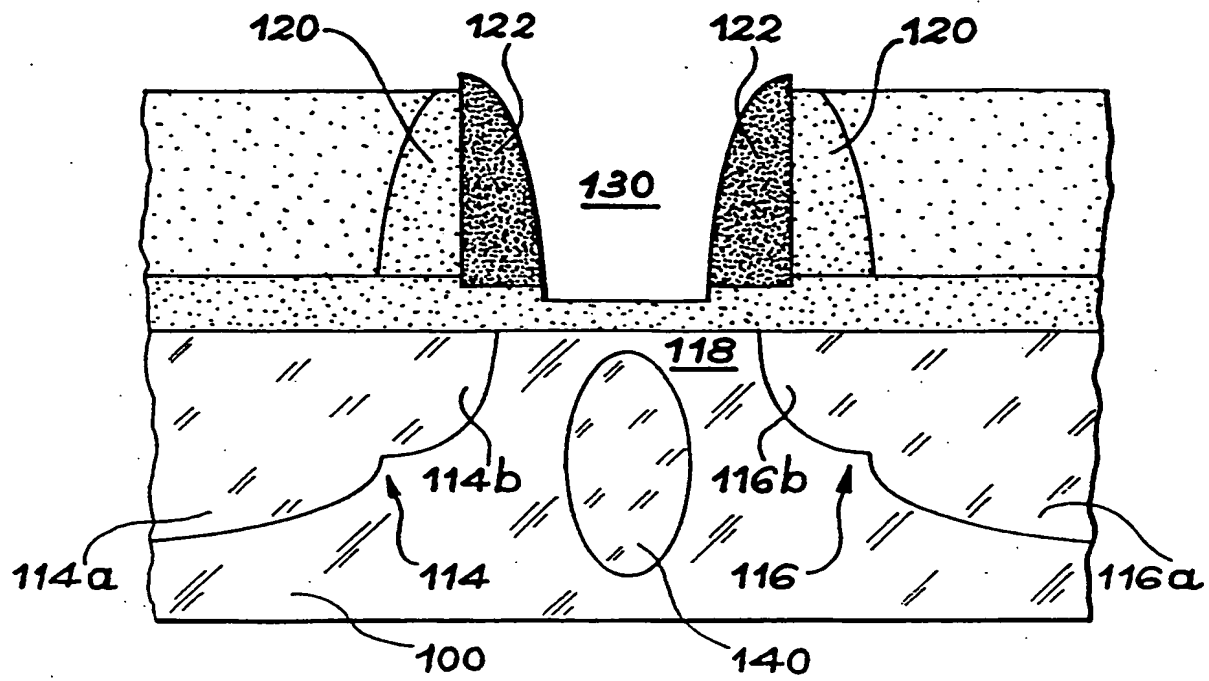


FIG. 5

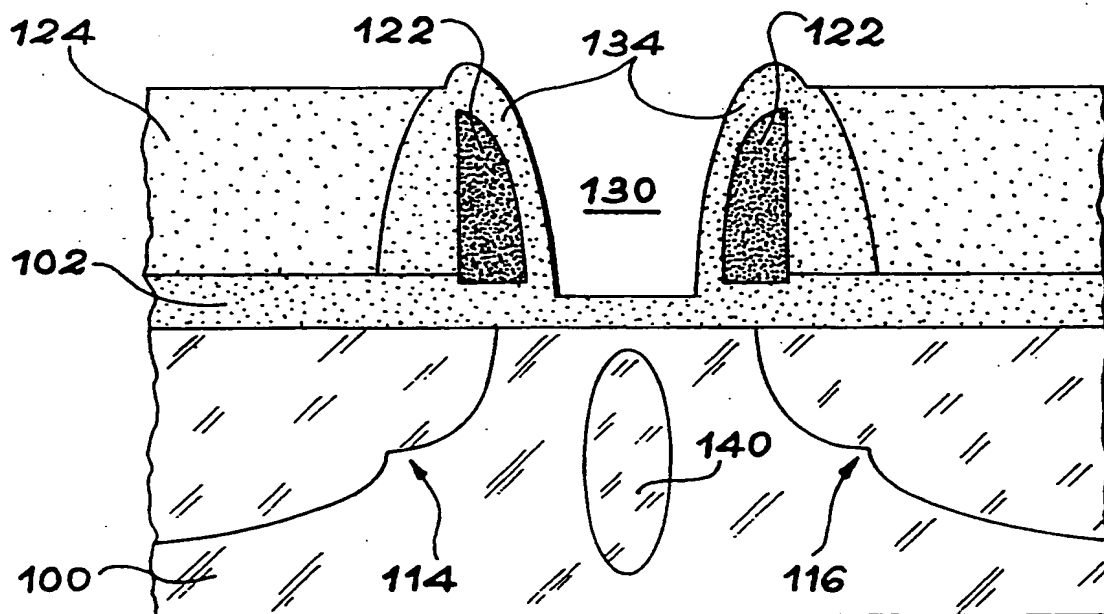


FIG. 6

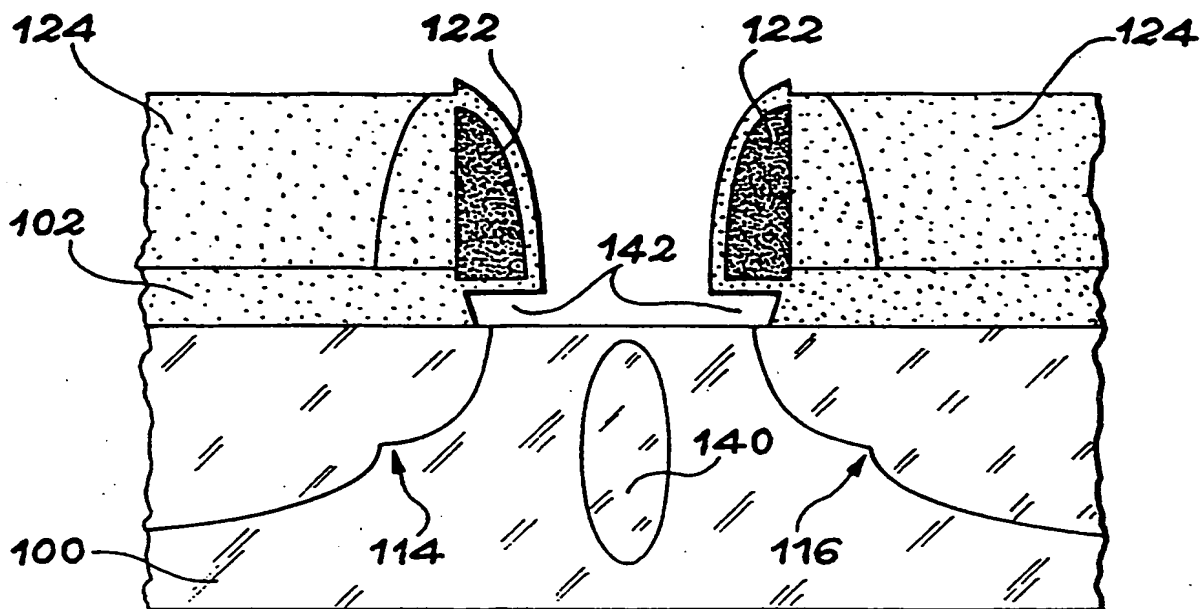


FIG. 7

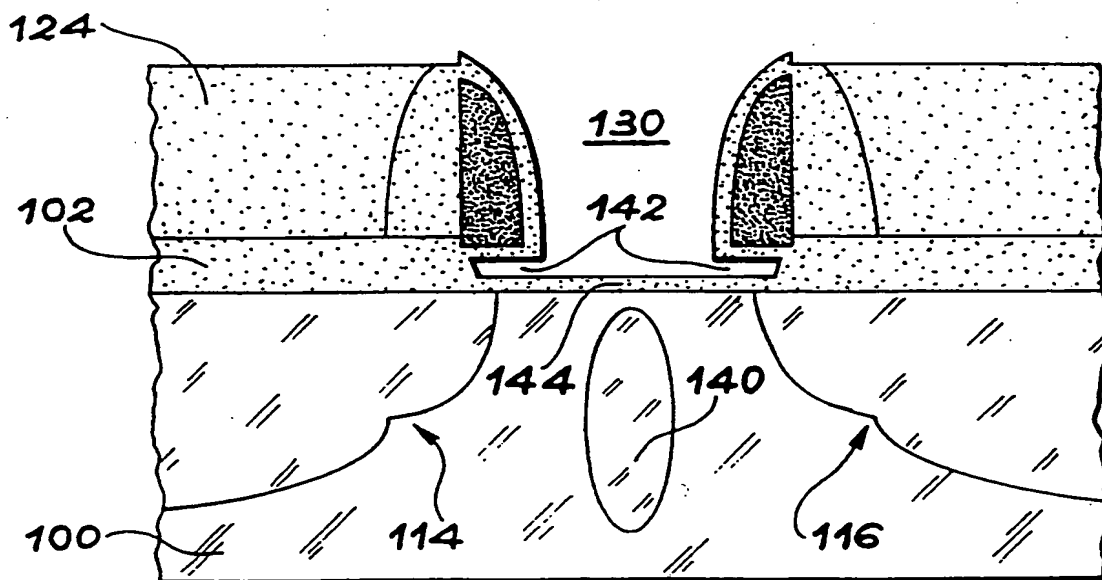


FIG. 8

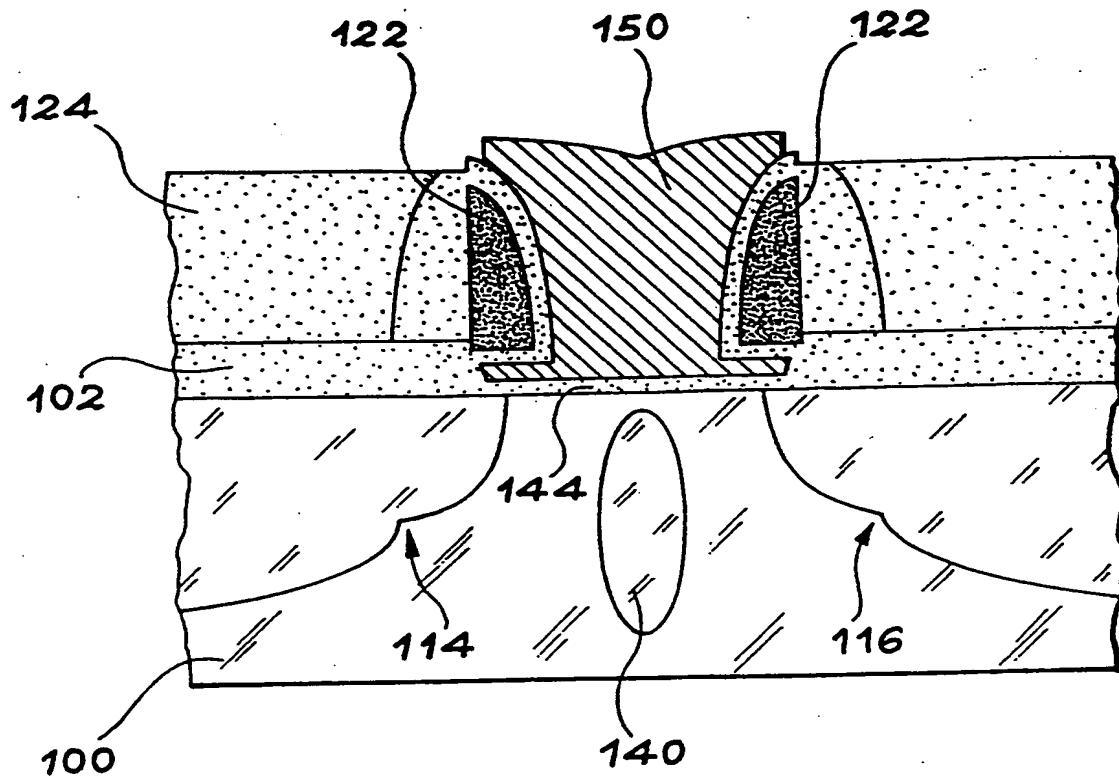


FIG. 9

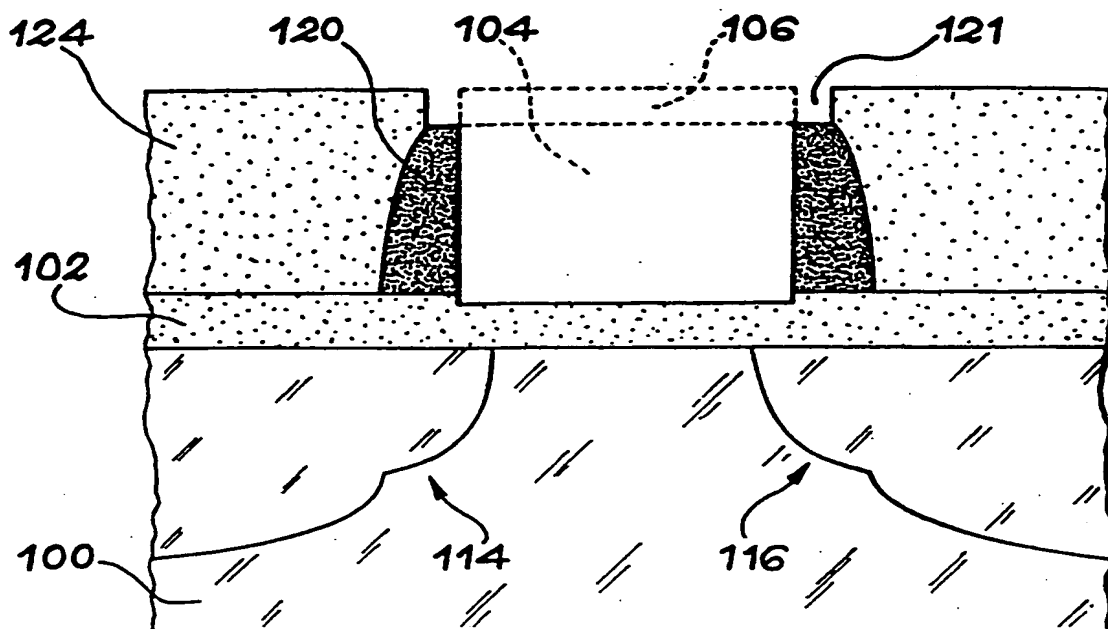


FIG. 10

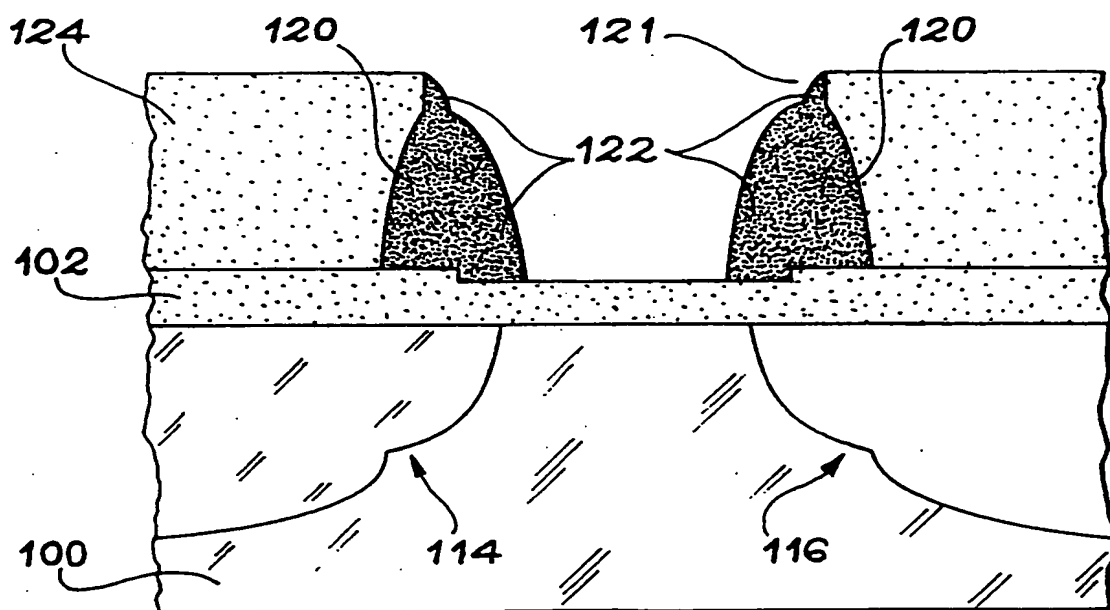


FIG. 11

# INTERNATIONAL SEARCH REPORT

L national Application No  
PCT/FR 00/00058

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01L21/336 H01L21/28 H01L29/10 H01L29/423

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 576 227 A (HSU CHEN-CHUNG) 19 November 1996 (1996-11-19) figure 2	1,6
A	FR 2 757 312 A (COMMISSARIAT ENERGIE ATOMIQUE) 19 June 1998 (1998-06-19) cited in the application figure 3	1,2
A	US 5 773 348 A (WU SHYE-LIN) 30 June 1998 (1998-06-30) figures 1-9	1
Y	US 5 750 430 A (SON JEONG-HWAN) 12 May 1998 (1998-05-12) figures 2,3	8
	-/-	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

### \* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*A\* document member of the same patent family

Date of the actual completion of the international search

24 May 2000

Date of mailing of the international search report

02/06/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Gélébart, J

# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/FR 00/00058

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 0 768 715 A (MOTOROLA INC) 16 April 1997 (1997-04-16) abstract; figure 8	8
A	US 5 668 021 A (HAYDEN JAMES D ET AL) 16 September 1997 (1997-09-16) figure 7	8
A	DE 42 08 537 A (GOLD STAR ELECTRONICS) 19 November 1992 (1992-11-19) figure 3E	8

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 00/00058

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5576227	A	19-11-1996	NONE	
FR 2757312	A	19-06-1998	EP 0944919 A WO 9827582 A	29-09-1999 25-06-1998
US 5773348	A	30-06-1998	NONE	
US 5750430	A	12-05-1998	JP 2841315 B JP 9321278 A	24-12-1998 12-12-1997
EP 0768715	A	16-04-1997	US 5712501 A JP 9116154 A	27-01-1998 02-05-1997
US 5668021	A	16-09-1997	NONE	
DE 4208537	A	19-11-1992	JP 6204469 A US 5904530 A	22-07-1994 18-05-1999



# RAPPORT DE RECHERCHE INTERNATIONALE

L. nde internationale No  
PCT/FR 00/00058

<b>A. CLASSEMENT DE L'OBJET DE LA DEMANDE</b> CIB 7 H01L21/336 H01L21/28 H01L29/10 H01L29/423		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
<b>B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE</b> Documentation minimale consultée (système de classification suivi des symboles de classement) CIB 7 H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)		
<b>C. DOCUMENTS CONSIDERES COMME PERTINENTS</b>		
Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 5 576 227 A (HSU CHEN-CHUNG) 19 novembre 1996 (1996-11-19) figure 2	1,6
A	FR 2 757 312 A (COMMISSARIAT ENERGIE ATOMIQUE) 19 juin 1998 (1998-06-19) cité dans la demande figure 3	1,2
A	US 5 773 348 A (WU SHYE-LIN) 30 juin 1998 (1998-06-30) figures 1-9	1
Y	US 5 750 430 A (SON JEONG-HWAN) 12 mai 1998 (1998-05-12) figures 2,3	8
-/-		
<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités: "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "Z" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée  24 mai 2000		Date d'expédition du présent rapport de recherche internationale  02/06/2000
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Fonctionnaire autorisé  Gélébart, J

# RAPPORT DE RECHERCHE INTERNATIONALE

L ande Internationale No  
PCT/FR 00/00058

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	EP 0 768 715 A (MOTOROLA INC) 16 avril 1997 (1997-04-16) abrégé; figure 8	8
A	US 5 668 021 A (HAYDEN JAMES D ET AL) 16 septembre 1997 (1997-09-16) figure 7	8
A	DE 42 08 537 A (GOLD STAR ELECTRONICS) 19 novembre 1992 (1992-11-19) figure 3E	8

# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

L. ande internationale No

PCT/FR 00/00058

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5576227	A	19-11-1996	AUCUN	
FR 2757312	A	19-06-1998	EP 0944919 A WO 9827582 A	29-09-1999 25-06-1998
US 5773348	A	30-06-1998	AUCUN	
US 5750430	A	12-05-1998	JP 2841315 B JP 9321278 A	24-12-1998 12-12-1997
EP 0768715	A	16-04-1997	US 5712501 A JP 9116154 A	27-01-1998 02-05-1997
US 5668021	A	16-09-1997	AUCUN	
DE 4208537	A	19-11-1992	JP 6204469 A US 5904530 A	22-07-1994 18-05-1999